

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
25 août 2005 (25.08.2005)

PCT

(10) Numéro de publication internationale  
**WO 2005/078785 A1**

(51) Classification internationale des brevets<sup>7</sup> :

**H01L 21/324**

850, rue Jean Monnet, F-38920 Crolles (FR). **KONIN-KLIJKE PHILIPS ELECTRONICS N.V.** [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).

(21) Numéro de la demande internationale :

PCT/FR2005/000318

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **REGNIER, Christophe** [FR/FR]; 2, chemin du Chadeau, F-38660 St Hilaire du Touvet (FR). **HUMBERT, Aurélie** [FR/FR]; Société Civile "SPID", 156, boulevard Haussmann, F-75008 Paris (FR).

(22) Date de dépôt international :

10 février 2005 (10.02.2005)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(74) Mandataires : **VERDURE, Stéphane** etc.; Cabinet Plasseraud, 65/67, rue de la Victoire, F-75440 Paris Cedex 9 (FR).

(30) Données relatives à la priorité :

0401482

13 février 2004 (13.02.2004) FR

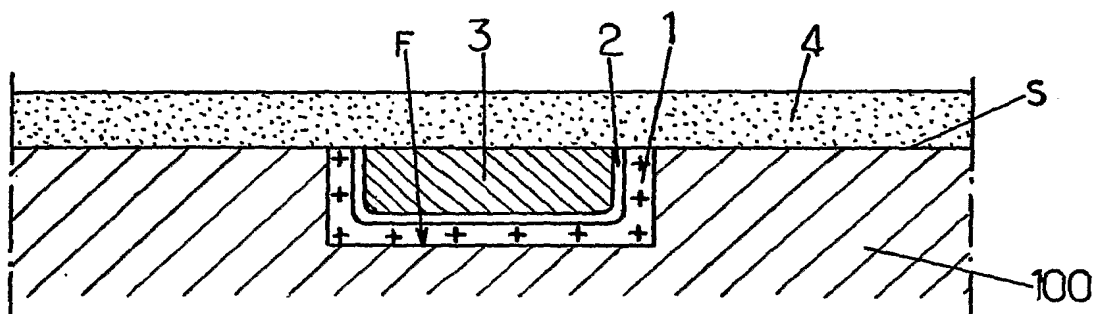
(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,

(71) Déposants (pour tous les États désignés sauf US) : **STMI-CROELECTRONICS (CROLLES 2) SAS** [FR/FR];

[Suite sur la page suivante]

(54) Title: METHOD FOR THE CREATION OF AN INTEGRATED ELECTRONIC CIRCUIT AND INTEGRATED ELECTRONIC CIRCUIT THUS OBTAINED

(54) Titre : PROCEDE DE REALISATION D'UN CIRCUIT ELECTRONIQUE INTEGRE ET CIRCUIT ELECTRONIQUE INTEGRE AINSI OBTENU



(57) Abstract: A method for the creation of an integrated electronic circuit comprises the formation of a portion (1) of a temporary material on a substrate (100) wherein one part thereof is made of an absorbent material. The temporary material comprises cobalt, nickel, titanium, tantalum, tungsten, molybdenum, gallium, indium, silver, gold, iron and/or chrome. A rigid portion (3, 4) is formed in fixed contact with the substrate, from one side of the portion of temporary material (1) opposite the part of the substrate made of absorbent material. The circuit is heated in such a way that the temporary material is absorbed into the part of the substrate made of absorbent material. A substantially empty volume (V) is thus created in the place of the portion of temporary material (1). The substantially empty volume can replace dielectric material located between the reinforcements of a capacitor.

(57) Abrégé : Un procédé de réalisation d'un circuit électronique intégré comprend la formation, sur un substrat (100) dont une partie est en matériau absorbant, d'une portion (1) d'un matériau temporaire. Le matériau temporaire comprend du cobalt, du nickel, du titane, du tantale, du tungstène, du molybdène, du gallium, de l'indium, de l'argent, de l'or, du fer et/ou du chrome. Une portion rigide (3, 4) est formée en contact fixe avec le substrat, d'un côté de la portion de matériau temporaire (1) opposé à la partie du substrat en matériau absorbant. Le circuit est chauffé de sorte que le matériau temporaire est absorbé dans la partie du substrat en matériau absorbant. Un volume sensiblement vide (V) est ainsi créé à la place de la portion de matériau temporaire (1). Ledit volume sensiblement vide peut remplacer un matériau diélectrique situé entre des armatures d'un condensateur.



WO 2005/078785 A1



GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Déclaration en vertu de la règle 4.17 :**

— *relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement*

**Publiée :**

— *avec rapport de recherche internationale*

(84) **États désignés** (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO,

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

**PROCEDE DE REALISATION D'UN CIRCUIT ELECTRONIQUE INTEGRE**  
**ET CIRCUIT ELECTRONIQUE INTEGRE AINSI OBTENU**

La présente invention concerne un procédé de réalisation d'un circuit électronique intégré incorporant un volume sensiblement vide de matériau. Elle concerne aussi un circuit électronique intégré ainsi réalisé.

Le brevet américain 5,296,408 décrit un procédé de formation d'une  
5 cavité vide au sein d'un circuit intégré, pour réaliser divers composants électroniques tels qu'une source de lumière, un détecteur, un transistor ou un tube à vide. Suivant ce procédé, une absorption d'aluminium dans du silicium est provoquée par chauffage, de façon à créer la cavité vide de matériau, dont la forme peut être déterminée préalablement.

10 Un inconvénient du procédé décrit dans le brevet 5,296,408 résulte de la réactivité chimique et de la température de fusion relativement basse de l'aluminium. En effet, si la température du circuit dépasse 400-450°C environ avant que l'aluminium soit absorbé dans le silicium, des réactions chimiques interviennent entre l'aluminium et des matériaux disposés à proximité  
15 l'aluminium dans le circuit. Ceci est en particulier le cas du silicium dans lequel l'aluminium est destiné à être absorbé. L'absorption définitive de l'aluminium dans le silicium est alors perturbée, et la formation de la cavité est mal contrôlée.

Un but de la présente invention consiste à proposer un procédé de  
20 fabrication d'une cavité dans un circuit électronique intégré qui ne présente pas les inconvénients cités ci-dessus.

L'invention propose un procédé de réalisation d'un circuit électronique intégré, le procédé comprenant les étapes consistant à :

a) former, sur un substrat du circuit dont une partie est réalisée en  
25 matériau absorbant, une portion en un matériau temporaire venant

- 2 -

en contact avec une face de la partie du substrat réalisée en matériau absorbant ;

b) former une portion rigide en contact fixe avec le substrat, d'un côté de la portion de matériau temporaire opposé à ladite face de la partie du substrat en matériau absorbant ; et

c) chauffer le circuit pour créer un volume sensiblement vide de matériau par absorption du matériau temporaire dans la partie du substrat en matériau absorbant,

le procédé étant caractérisé en ce que le matériau temporaire présente une température de fusion supérieure à 900°C et en ce que le matériau temporaire est sélectionné de façon à ne provoquer aucune altération de matériaux de parties du circuit en contact avec la portion de matériau temporaire avant l'étape c).

Grâce à la sélection des matériaux temporaires objet de la présente invention, l'étape c) est bien contrôlée. Un volume sensiblement vide de matériau est obtenu dont la forme et les dimensions peuvent être précisément contrôlées. Un procédé selon l'invention est par conséquent compatible avec des technologies de réalisation de circuits intégrés correspondant à des largeurs de grilles de transistors égales à ou inférieures à 0,18 micromètre, et notamment égales à 90 ou 65 nanomètres.

A l'étape c), tout le matériau temporaire de la portion correspondante est préféablement absorbé dans la partie du substrat en matériau absorbant. Une reproductibilité améliorée de la forme et des dimensions du volume sensiblement vide de matériau est ainsi obtenue. Néanmoins, une fraction seulement du matériau temporaire peut être absorbée, de sorte que, à l'issue de l'étape c), une partie de la portion en matériau temporaire subsiste dans le circuit.

Un avantage du procédé de l'invention réside dans le fait qu'aucune extraction du matériau temporaire n'est nécessaire, vers l'extérieur du circuit. L'étape c) de chauffage du circuit pour créer le volume vide est particulièrement simple. Elle ne nécessite aucun accès à la portion de matériau temporaire, ni aucune mise en œuvre d'une solution ou d'un plasma de

gravure.

En particulier, l'absorption du matériau temporaire dans la partie du substrat en matériau absorbant, à l'étape c), peut résulter d'une réaction chimique entre le matériau temporaire et le matériau absorbant.

5           Un autre avantage du procédé de l'invention réside dans le fait que, une fois les étapes a) et b) effectuées, l'étape c) peut être effectuée à tout moment ultérieur au cours du procédé de réalisation du circuit. Par exemple, des étapes de réalisation de parties du circuit autres que le composant électronique qui comprend le volume sensiblement vide de matériau peuvent  
10 être effectuées, entre les étapes a) et b) d'une part et l'étape c) d'autre part. Ceci est particulièrement avantageux si certaines de ces étapes de réalisation d'autres parties du circuit impliquent des sollicitations mécaniques du circuit. L'étape c) est alors exécutée après ces étapes, de sorte que le circuit ne présente pas encore de volume vide lorsqu'il est soumis aux sollicitations  
15 mécaniques. Le risque de dégradation ou de rupture du circuit lors de sa réalisation est ainsi diminué, ce risque étant dû à la présence de volumes vides dans le circuit.

Avantageusement, le procédé comprend en outre, entre les étapes a) et b), une formation d'une couche intermédiaire, ladite couche intermédiaire  
20 étant située, à l'issue de l'étape b), entre la portion de matériau temporaire et la portion rigide. Une telle couche intermédiaire peut avoir plusieurs fonctions. L'une de ces fonctions peut être l'amélioration de la formation de la portion rigide. Une surface plus régulière de la portion rigide peut ainsi être obtenue, dont résulte une absorption plus homogène et plus complète du matériau  
25 temporaire à l'étape c). Une autre fonction de la couche intermédiaire est de contribuer à une isolation chimique de la portion de matériau temporaire, afin que le matériau temporaire ne soit pas altéré par des atomes provenant d'autres parties du circuit.

Le matériau temporaire peut comprendre du cobalt, du nickel, du  
30 titane, du tantale, du tungstène, du molybdène, de l'argent, de l'or, du fer et/ou du chrome.

- 4 -

Le matériau absorbant peut comprendre du silicium, du germanium, du phosphore, de l'arsenic et/ou de l'antimoine. Il peut aussi potentiellement comprendre du sélénium et/ou du tellurium.

5 Selon un mode de mise en œuvre particulier de l'invention, la portion de matériau temporaire est formée dans une cavité en dessous du niveau d'une surface du substrat. La portion rigide peut alors recouvrir de façon continue la portion de matériau temporaire dans la cavité et le substrat en dehors de la cavité.

10 Le volume sensiblement vide de matériau peut avoir différentes formes et être orienté de diverses façons par rapport au substrat. En particulier, il peut présenter une grande section sensiblement parallèle à une surface du substrat.

Selon le mode de mise en œuvre préféré de l'invention, le volume sensiblement vide de matériau est situé entre deux armatures d'un condensateur appartenant au circuit.

15 Une partie au moins du matériau situé entre les armatures du condensateur est ainsi remplacée par le volume vide formé à la place de la portion de matériau temporaire. Ce volume vide procure au condensateur certaines caractéristiques électriques particulières, notamment une valeur élevée de la tension de claquage et une résistance de fuite importante.

20 A tension de claquage égale, un condensateur ayant une cavité vide ainsi obtenue peut présenter une distance réduite entre ses deux armatures. Des dimensions du condensateur peuvent alors être réduites, à capacité constante du condensateur, ce qui permet d'obtenir un niveau d'intégration accru du circuit.

25 De façon avantageuse, la portion rigide comprend une première des armatures du condensateur. La partie du substrat en matériau absorbant, après l'absorption du matériau temporaire à l'étape c), peut comprendre une seconde des armatures du condensateur. Le matériau de cette seconde armature est donc directement formé lors de l'étape c), sans étape  
30 supplémentaire de dépôt d'un nouveau matériau sur le circuit. Le procédé de réalisation du condensateur est par conséquent simplifié, ce qui contribue à

une réduction du prix du circuit électronique.

En fonction de la configuration du condensateur, l'une au moins des deux armatures du condensateur peut présenter une surface principale sensiblement parallèle à la surface du substrat.

5 L'invention concerne aussi un circuit électronique intégré réalisé en utilisant un procédé tel que décrit précédemment. En particulier, le volume sensiblement vide de matériau peut être disposé au sein d'une couche de niveau de métallisation du circuit.

10 D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après de deux exemples de mise en œuvre non limitatifs, en référence aux dessins annexés, dans lesquels :

- les figures 1 à 5 illustrent différentes étapes d'un premier mode de mise en œuvre d'un procédé de réalisation d'un circuit électronique intégré selon l'invention ;
- 15 - les figures 6 à 8 illustrent différentes étapes d'un second mode de mise œuvre d'un procédé de réalisation d'un circuit électronique intégré selon l'invention.

20 L'invention est maintenant décrite en détail dans le cadre de la réalisation d'un circuit électronique intégré qui comprend un condensateur du type Métal-Isolant-Métal (ou condensateur MIM). Un condensateur MIM comprend usuellement deux armatures métalliques et une portion d'un matériau diélectrique disposée entre les deux armatures. En utilisant un procédé selon l'invention, une partie au moins de cette portion de matériau diélectrique peut être remplacée par un volume sensiblement vide de matériau.

25 Dans les figures, pour raison de clarté, les dimensions des différentes parties de composants électroniques représentées ne sont pas en proportion avec des dimensions réelles. Ces figures sont des vues en coupe d'un substrat sensiblement plan sur lequel est élaboré un condensateur de type MIM. Les vues en coupe sont considérées dans un plan perpendiculaire à la surface du  
30 substrat. Le substrat est placé dans la partie inférieure de chaque figure, et N désigne une direction perpendiculaire à la surface du substrat, orientée vers le

haut des figures. Dans la suite, les termes «sur», «sous», «inférieur» et «supérieur» sont utilisés en référence à cette orientation. Par ailleurs, sur toutes les figures, des références identiques correspondent à des éléments identiques.

5 Dans ce qui suit, les étapes élémentaires de procédé de réalisation d'un circuit électronique intégré connues de l'Homme du métier ne sont pas décrites en détail. On s'attache seulement à décrire une succession d'étapes élémentaires qui permet de réaliser un circuit selon le procédé de l'invention.

10 On décrit tout d'abord un premier mode de mise en œuvre selon lequel le condensateur est réalisé en dessous du niveau de la surface supérieure du substrat semiconducteur d'un circuit électronique intégré. Dans ce premier mode de mise en œuvre, le matériau semiconducteur du substrat constitue le matériau absorbant.

15 Selon la figure 1, un substrat 100 en matériau semiconducteur présente une surface supérieure S sensiblement plane. Une cavité C est formée dans le substrat 100, en dessous du niveau de la surface S. La profondeur de la cavité C selon la direction N peut être, par exemple, égale à 0,5 micromètre environ.

20 Une première couche 1 d'un matériau temporaire, une deuxième couche 2, dite couche intermédiaire, puis une troisième couche 3 d'un matériau conducteur électrique sont successivement déposées sur le substrat 100, dans la cavité C et au dessus de la surface S en dehors de la cavité C. Les épaisseurs respectives des couches 1 et 2 sont choisies de façon que les couches 1 et 2 forment chacune un revêtement conforme des parois verticales  
25 de la cavité C. L'épaisseur de la couche 3 est choisie de façon à combler la cavité C. La configuration du circuit représentée à la figure 2 est ainsi obtenue. La couche 1 est en contact avec le substrat 100 au niveau du fond F de la cavité C, ainsi qu'au niveau des parois verticales de la cavité C. Des épaisseurs des couches 1, 2 et 3 peuvent être, respectivement,  
30 20 nanomètres, 5 nanomètres et 1 micromètre environ.

La surface supérieure du circuit est ensuite polie, de façon à être



abaissée jusqu'en dessous du niveau de la surface S en dehors de la cavité C. Des portions des couches 1-3 ne subsistent alors qu'à l'intérieur de la cavité C (figure 3).

Le matériau de la couche 1 est choisi pour sa propriété lui permettant  
5 d'être absorbé ultérieurement dans le substrat 100, au travers du fond F de la cavité C. Pour cette raison le matériau de la couche 1 est dit matériau temporaire. Le matériau de la couche 1 peut comprendre par, exemple, du cobalt (Co), du nickel (Ni), du titane (Ti), du tantale (Ta), du tungstène (W), du molybdène (Mo), du gallium (Ga), de l'indium (In), de l'argent (Ag), de l'or (Au)  
10 du fer (Fe) et/ou du chrome (Cr). Le matériau semiconducteur du substrat 100, dans lequel le matériau de la couche 1 est destiné à être absorbé ultérieurement, peut comprendre du silicium (Si), du germanium (Ge), du phosphore (P), de l'arsenic (As), de l'antimoine (Sb), du sélénium (Se) et/ou du tellurium (Te).

15 D'une façon préférée, le matériau du substrat 100 est à base de silicium et le matériau temporaire de la couche 1 est à base de cobalt. Ainsi, les dépôts des couches 1 à 3 peuvent être facilement réalisés au niveau de la partie amont (ou «front end» en anglais) d'une ligne de production du circuit intégré, en utilisant l'un des procédés connus pour le dépôt de cobalt.

20 La portion restante de la couche 3 est destinée à constituer une première armature, ou armature supérieure, du condensateur. Pour cela, le matériau de la couche 3 peut être un métal qui présente une conductivité électrique élevée, tel que, par exemple, du tungstène (W). Eventuellement, le matériau de la couche 3 peut aussi être à base de silicium, convenablement  
25 dopé pour présenter une conductivité électrique suffisante.

La couche 2 possède une fonction d'accrochage de la couche 3 sur le circuit. Le matériau de la couche 2 est avantageusement choisi de façon à favoriser une croissance progressive de la couche 3, avec une épaisseur uniforme. A cette fin, le matériau de la couche 2 peut être, notamment, du  
30 nitrure de titane (TiN) ou du nitrure de tantale (TaN).

On recouvre ensuite le circuit d'une couche 4 d'un matériau rigide venant en contact avec le substrat 100 et avec la première armature 3 (figure 4). Le matériau rigide de la couche 4 peut être de la silice ( $\text{SiO}_2$ ) ou du nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) par exemple. La couche 4 s'étend d'une façon continue au  
5 dessus de la cavité C et au dessus du substrat 100 en dehors de la cavité C. La couche 4 peut être déposée par l'une des méthodes connues de l'Homme du métier, telles que, notamment, un dépôt chimique en phase vapeur, ou CVD (pour «Chemical Vapour Deposition» en anglais).

Lors du dépôt de la couche 4, certains réactifs utilisés, tels que des  
10 molécules oxydantes, peuvent atteindre la portion 1 et altérer le matériau temporaire de celle-ci. Une fois altéré, le matériau de la portion 1 peut ne plus pouvoir être absorbé dans le matériau du substrat 100. Pour éviter une telle altération du matériau temporaire de la portion 1, la couche intermédiaire 2 possède en outre une fonction d'isolation chimique de la portion 1 vis-à-vis de  
15 réactifs utilisés pour la formation de la couche 4. Cette isolation est aussi efficace vis-à-vis de composés chimiques utilisés pour la formation d'autres parties du circuit.

Différentes étapes classiques de réalisation du circuit peuvent alors être effectuées. Ces étapes peuvent concerner, notamment, la réalisation de  
20 composants du circuit distincts du condensateur qui comprend l'armature 3, ou la réalisation de niveaux de métallisation au dessus du niveau de la surface S. De façon connue, des connexions électriques peuvent être disposées dans des couches de ces niveaux de métallisation, selon le procédé Damascène, ou sa variante Dual-Damascène. Eventuellement, la couche 4 peut appartenir à un  
25 premier niveau de métallisation du circuit.

De telles étapes de réalisation du circuit peuvent comprendre un chauffage du circuit. A titre d'exemples, la température à laquelle le circuit est chauffé pour accroître la densité d'une portion de matériau est de l'ordre de  
30 400-500°C. Pour cette raison, le matériau temporaire de la portion 1 peut être choisi en fonction de sa température de fusion. En particulier, il est choisi de sorte que sa température de fusion soit supérieure à la température maximale atteinte par le circuit lors de ces étapes. Ainsi, des métaux tels que le cobalt

( $T_{\text{fusion}} = 1495^{\circ}\text{C}$ ), le titane ( $T_{\text{fusion}} = 1640^{\circ}\text{C}$ ) ou le nickel ( $T_{\text{fusion}} = 1453^{\circ}\text{C}$ ) sont préférés. Ils permettent en effet l'utilisation de procédés connus pour la réalisation de composants du circuit, sans altérer la portion 1 pendant les chauffages du circuit compris dans ces étapes. De cette manière, la formation  
5 du volume vide selon l'invention peut n'intervenir qu'après ces étapes.

Le circuit est ensuite chauffé à une température suffisante pour provoquer l'absorption du matériau temporaire de la portion 1 dans le matériau du substrat 100 présent à proximité du fond F et des parois verticales de la cavité C. Cette absorption peut résulter d'une réaction chimique entre le  
10 matériau temporaire et le matériau du substrat 100, ou résulter d'une dissolution du matériau de la portion 1 dans le matériau du substrat 100. Les matériaux respectifs de la portion 1 et du substrat 100 sont choisis de façon que l'absorption du matériau temporaire ne provoque pas d'expansion du matériau du substrat 100 autour de la cavité C. Ainsi le circuit n'est pas  
15 déformé et conserve une robustesse suffisante.

Eventuellement, le chauffage du circuit pour provoquer l'absorption du matériau temporaire de la portion 1 dans le matériau du substrat 100 peut être effectué localement, c'est-à-dire seulement dans une portion limitée du circuit. Cette portion limitée du circuit qui est chauffée comprend la portion 1 et la  
20 partie du substrat 100 réalisée en matériau absorbant et située à proximité du fond F et des parois verticales de la cavité C. Un tel chauffage local peut être effectué, de façon connue, à l'aide d'un laser envoyé sur ladite portion limitée du circuit.

La partie de la cavité C initialement occupée par la portion 1 est ainsi  
25 vidée : un volume V vide de matériau est créé entre la face constituée par le fond F de la cavité C et la couche intermédiaire 2. La couche 4 et l'armature supérieure 3, recouverte par la couche intermédiaire 2, forment une portion rigide maintenue en position et en contact fixe par rapport au substrat 100. Cette portion rigide est suspendue au dessus de la face F, parallèlement à  
30 celle-ci. Pour cela, le matériau de la couche 4 est choisi pour posséder une rigidité et une solidité suffisantes pour résister aux éventuelles contraintes provoquées par la création du volume vide V. On a vérifié, en réalisant des

essais répétés, que la silice ( $\text{SiO}_2$ ) ou le nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) sont adaptés pour servir de matériau de la couche 4.

A titre d'exemple, lorsque le substrat 100 est à base de silicium et que le matériau temporaire de la portion 1 est à base de cobalt, l'absorption résulte  
5 de la réaction de siliciuration du cobalt, qui est parfaitement connue et maîtrisée lors de la réalisation d'un circuit intégré. La température de chauffage du circuit nécessaire pour provoquer la réaction de siliciuration est alors de  $800^\circ\text{C}$  environ. Des modules de ligne de production de circuits intégrés déjà existants peuvent être utilisés pour l'étape de création du volume vide V. En  
10 outre, le chauffage du circuit pour créer le volume vide V peut être utilisé pour provoquer simultanément des réactions de siliciuration dans d'autres parties du circuit, notamment au niveau de contacts électriques afin de réduire, d'une façon connue, des résistances électriques de contact.

De façon préférée, le matériau du substrat 100 et le matériau  
15 temporaire de la portion 1 sont choisis de sorte que, après l'absorption du matériau temporaire dans le matériau du substrat, le matériau résultant à proximité du fond F et des parois verticales de la cavité C est un composé conducteur électrique. Ceci est notamment le cas lorsque du siliciure de cobalt ( $\text{CoSi}_2$ ) est formé. Cette partie du substrat 100 en composé conducteur,  
20 référencée 5 sur la figure 5, forme la seconde armature du condensateur, ou armature inférieure. Les deux armatures 3 et 5 sont séparées l'une de l'autre par le volume vide V. Le volume V remplit la fonction du matériau diélectrique situé entre les armatures du condensateur obtenu. Il peut éventuellement contenir une certaine quantité de composés gazeux, notamment des composés  
25 vaporisés provenant du substrat 100, des couches 2 ou 4, ou provenant par diffusion d'autres parties du circuit. C'est en ce sens que l'on dit que le volume V est sensiblement vide.

Dans le premier mode de mise en œuvre de l'invention qui vient d'être décrit, la configuration du condensateur obtenu est la suivante : le volume V  
30 sensiblement vide de matériau présente une grande section sensiblement parallèle à la surface S du substrat 100, et les armatures 3 et 5 présentent chacune une surface principale sensiblement parallèle à la surface S.

L'épaisseur du volume V selon la direction N est alors sensiblement égale à l'épaisseur initiale de la couche 1, à savoir 20 nanomètres environ.

En outre, une ceinture d'isolation électrique périphérique peut être prévue, autour de la partie 5 du substrat 100 qui constitue l'armature inférieure du condensateur. De préférence, une telle ceinture d'isolation est formée dans le substrat 100 en début du procédé de réalisation du condensateur. Elle peut être du type STI (pour «Shallow Trench Isolation» en anglais), ou du type LOCOS («LOCAl Oxydation of Silicium»), par exemple.

Selon un second mode de mise en œuvre du procédé de l'invention, le condensateur peut être disposé au sein d'une couche d'un niveau de métallisation au dessus de la surface supérieure du substrat semiconducteur d'un circuit électronique intégré. Ce second mode de mise en œuvre va maintenant être décrit en regard des figures 6 à 8.

Selon la figure 6, un substrat 101 en matériau semiconducteur est recouvert d'une couche 102 d'un matériau isolant électrique. La couche 102 peut être, par exemple, en silice ( $\text{SiO}_2$ ). Un insert 103, par exemple en silicium, est agencé au sein de la couche 102, dans une portion limitée de celle-ci. L'épaisseur de l'insert 103, selon la direction N, peut être, par exemple, égale à 0,6 micromètre. L'ensemble constitué par le substrat 101, la couche 102 et l'insert 103 remplit une fonction identique à celle du substrat 100 utilisé dans le premier mode de mise en œuvre de l'invention ci dessus. S correspond à la surface supérieure de la couche 102, qui se poursuit de façon continue sur l'insert 103.

Des étapes identiques à celles correspondant aux figures 1-4 sont exécutées, de façon à réaliser le condensateur au sein de l'insert 103. Ainsi, une cavité C est formée dans une partie centrale de l'insert 103. La cavité C présente une profondeur, selon la direction N, inférieure à l'épaisseur de l'insert 103, par exemple de 0,5 micromètre. Ainsi, une épaisseur résiduelle de 0,1 micromètre environ est présente entre le fond de la cavité C et la couche 102.

Des portions 1, 2 et 3, par exemple respectivement de nickel (Ni), de

- 12 -

nitride de titane (TiN) et de tungstène (W), ainsi qu'une couche 4 de silice (SiO<sub>2</sub>) sont formées de la même façon que décrite plus haut. La configuration du circuit représentée à la figure 7 est alors obtenue. Dans cette configuration, le matériau de l'insert 103 constitue le matériau absorbant. La face F correspond au fond de la cavité C, qui constitue l'interface entre l'insert 103 et la portion 1.

La couche 4 forme, avec la couche 102, un premier niveau de métallisation, noté M1, au dessus du substrat 101. Eventuellement, une couche d'arrêt, non représentée et pouvant être en nitrure de silicium (Si<sub>3</sub>N<sub>4</sub>), peut être disposée entre les couches 102 et 4, afin de permettre la réalisation de connexions dans le niveau de métallisation M1 en utilisant le procédé dual-damascène.

Le circuit est ensuite chauffé à environ 500°C de façon à provoquer l'absorption du matériau de nickel de la portion 1 dans le matériau de silicium de l'insert 103. Dans ce second mode de mise en œuvre, le matériau de l'insert 103 est le matériau absorbant. Le volume vide V est ainsi créé entre la couche 2 et l'insert 103. Le matériau de l'insert 103 à proximité du volume V est transformé en siliciure de nickel (NiSi). Il constitue l'armature inférieure 5 du condensateur, située en vis-à-vis de l'armature supérieure du condensateur, constituée par la portion 3. Les armatures 3 et 5 sont séparées par le volume vide V.

Le procédé de l'invention peut être mis en œuvre de multiples façons lors de la réalisation d'un condensateur MIM, en conservant un volume vide qui remplace un matériau diélectrique disposé entre les armatures du condensateur. En particulier, dans certains modes de mise en œuvre, la couche intermédiaire 2 peut être supprimée. Le condensateur peut aussi présenter une configuration différente de celles des modes de mise en œuvre décrits. En particulier, des configurations peuvent être envisagées, selon lesquelles le volume vide V présente une grande section sensiblement perpendiculaire à la surface S du substrat. Dans ce cas, les armatures du condensateur peuvent présenter des surfaces principales également orientées perpendiculairement à la surface S.

De façon générale, un condensateur réalisé en utilisant le procédé de l'invention présente une tension de claquage particulièrement élevée. En effet, la valeur de la tension de claquage d'un condensateur dépend de la qualité de la portion de matériau diélectrique. Or, cette portion présente des défauts intrinsèques lorsqu'elle est formée par des techniques usuelles de dépôt de matériaux utilisées pour la réalisation de circuits intégrés. Ces défauts intrinsèques sont à l'origine du claquage de tels condensateurs. Le remplacement d'une partie au moins de la portion de matériau diélectrique d'un condensateur MIM par un volume sensiblement vide obtenu en utilisant un procédé selon l'invention aboutit une valeur élevée de la tension de claquage du condensateur. Le condensateur MIM peut alors être utilisé pour des fonctions particulières qui nécessitent une valeur de tension de claquage élevée, telle que, par exemple, une fonction de découplage entre plusieurs sources d'alimentation électrique reliées à un circuit.

Enfin, bien que l'invention a été décrite en détail dans le cadre de la réalisation d'un condensateur MIM, il est entendu qu'elle peut être mise en œuvre pour la réalisation d'autres composants au sein d'un circuit électronique intégré.

## REVENDICATIONS

1. Procédé de réalisation d'un circuit électronique intégré comprenant les étapes consistant à :

5 a) former, sur un substrat (100) du circuit dont une partie (100 ; 103) est réalisée en matériau absorbant, une portion (1) en un matériau temporaire venant en contact avec une face (F) de la partie du substrat réalisée en matériau absorbant ;

10 b) former une portion rigide (3, 4) en contact fixe avec le substrat (100), d'un côté de la portion de matériau temporaire (1) opposé à ladite face (F) de la partie du substrat en matériau absorbant ; et

c) chauffer le circuit pour créer un volume (V) sensiblement vide de matériau par absorption du matériau temporaire dans la partie du substrat en matériau absorbant (100 ; 103),

15 le procédé étant caractérisé en ce que le matériau temporaire présente une température de fusion supérieure à 900°C et en ce que le matériau temporaire est sélectionné de façon à ne provoquer aucune altération de matériaux de parties du circuit en contact avec la portion de matériau temporaire avant l'étape c).

20 2. Procédé selon la revendication 1, suivant lequel le matériau temporaire comprend du cobalt, du nickel, du titane, du tantale, du tungstène, du molybdène, de l'argent, de l'or, du fer et/ou du chrome.

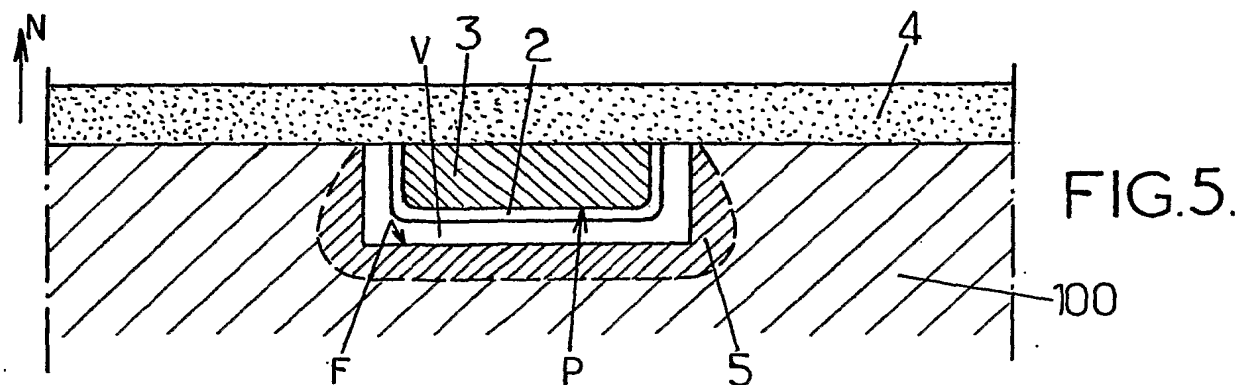
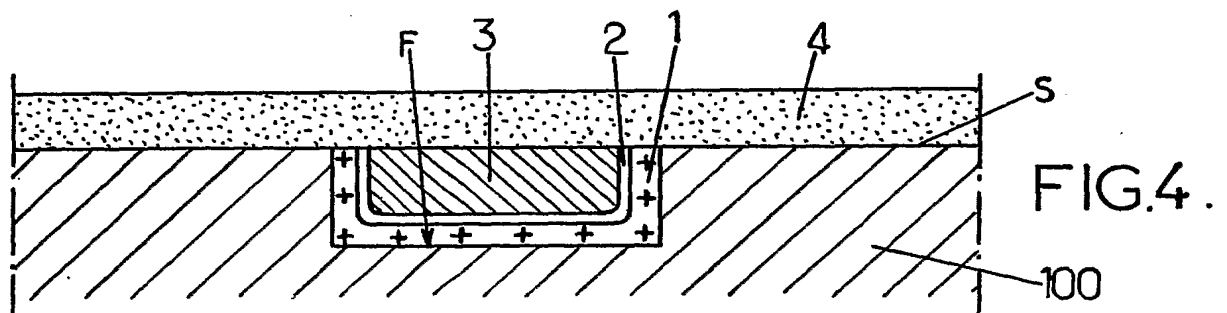
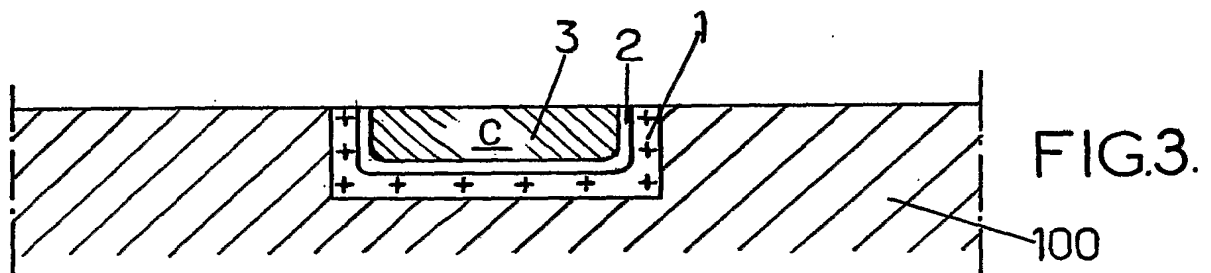
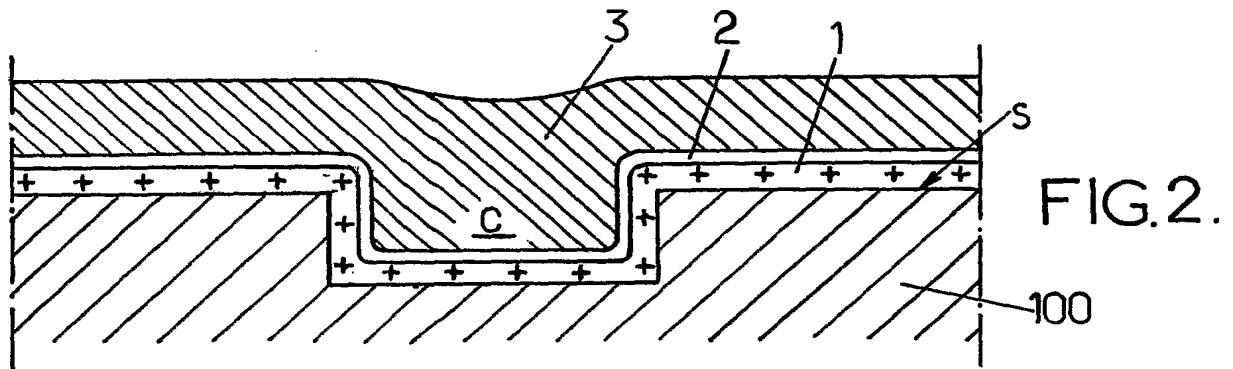
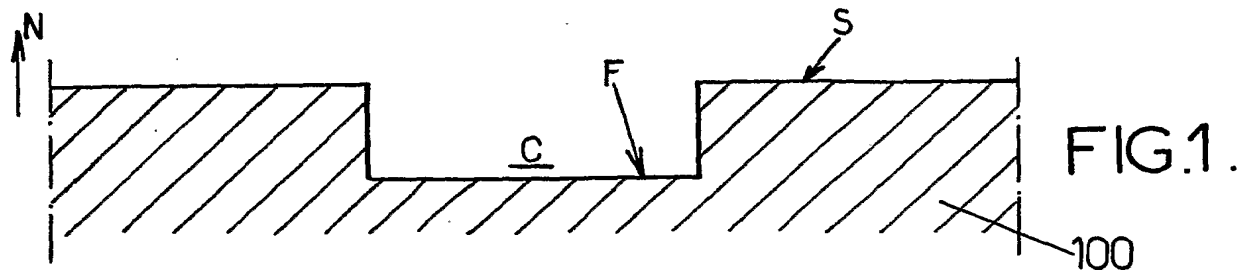
3. Procédé selon la revendication 1 ou 2, suivant lequel le matériau absorbant comprend du silicium, du germanium, du phosphore, de l'arsenic et/ou de l'antimoine.

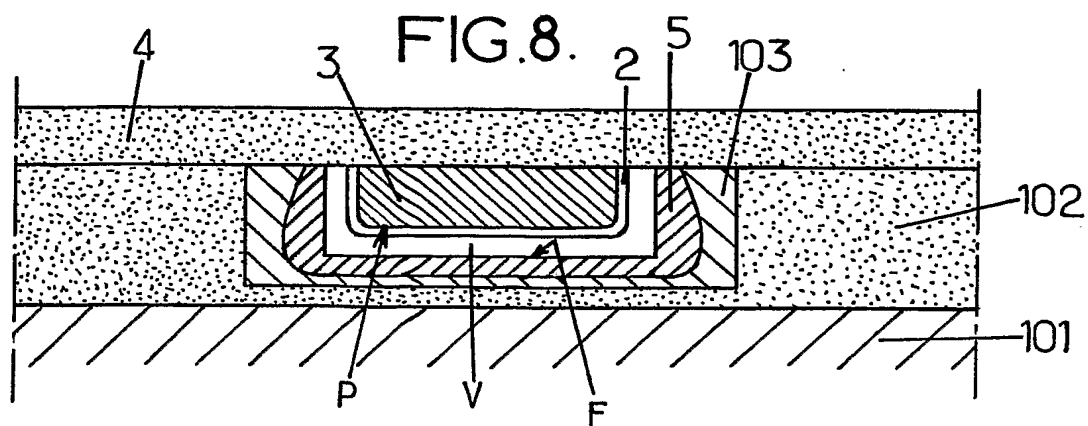
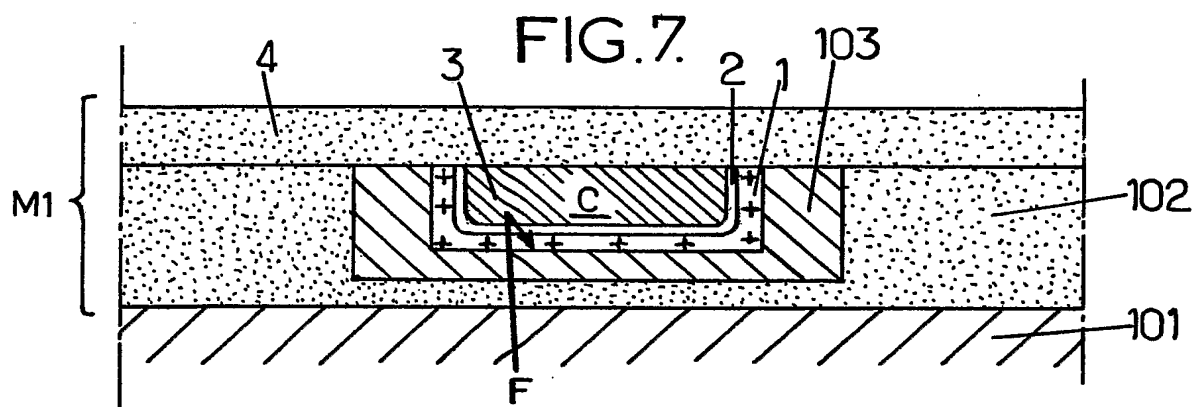
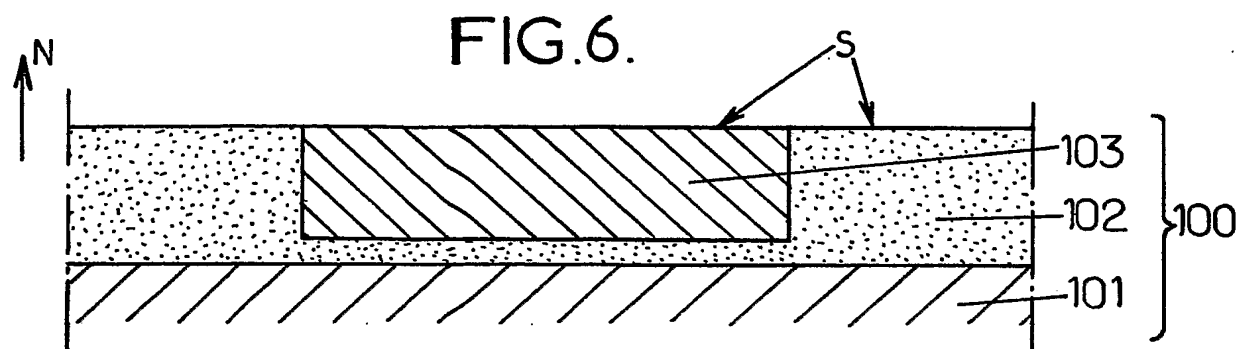
25 4. Procédé selon l'une quelconque des revendications 1 à 3, suivant lequel la portion de matériau temporaire (1) est formée dans une cavité (C) en dessous du niveau d'une surface (S) du substrat (100).



5. Procédé selon l'une quelconque des revendications 1 à 4, suivant lequel, à l'étape c), l'absorption du matériau temporaire dans la partie du substrat en matériau absorbant (100 ; 103) résulte d'une réaction chimique entre le matériau temporaire et le matériau absorbant.
- 5 6. Procédé selon l'une quelconque des revendications 1 à 5, suivant lequel ledit volume sensiblement vide de matériau (V) présente une grande section sensiblement parallèle à une surface du substrat (S).
7. Procédé selon l'une quelconque des revendications 1 à 6, comprenant en outre, entre les étapes a) et b), une formation d'une couche  
10 intermédiaire (2), ladite couche intermédiaire étant située, à l'issue de l'étape b), entre la portion de matériau temporaire (1) et la portion rigide (3, 4).
8. Procédé selon l'une quelconque des revendications 1 à 7, suivant lequel le volume (V) sensiblement vide de matériau est situé entre deux armatures (3, 5) d'un condensateur appartenant audit circuit.
- 15 9. Procédé selon la revendication 8, suivant lequel la portion rigide comprend une première armature (3) du condensateur.
10. Procédé selon la revendication 8 ou 9, suivant lequel la partie du substrat en matériau absorbant (100 ; 103), après l'absorption du matériau temporaire à l'étape c), comprend une seconde armature du condensateur (5).
- 20 11. Procédé selon l'une quelconque des revendications 8 à 10, suivant lequel l'une au moins des deux armatures (3, 5) présente une surface principale (P) sensiblement parallèle à une surface du substrat (S).
12. Circuit électronique intégré réalisé en utilisant un procédé selon l'une quelconque des revendications précédentes.
- 25 13. Circuit électronique intégré selon la revendication 12, dans lequel le volume (V) sensiblement vide de matériau est disposé au sein d'une couche de niveau de métallisation (M1) dudit circuit.

1/2





## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/FR2005/000318

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/324

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/068430 A1 (ELDRIDGE JEROME MICHAEL) 6 June 2002 (2002-06-06) paragraphs '0001! - '0041!; figures 1-6	1-13
A	US 5 666 000 A (DUSABLON SR MICHAEL STEVEN ET AL) 9 September 1997 (1997-09-09) column 1, line 17 - column 6, line 12; figures 1-4	1, 13
A	SUGIYAMA S ET AL: "MICRO-DIAPHRAGM PRESSURE SENSOR" INTERNATIONAL ELECTRON DEVICES MEETING. LOS ANGELES, DEC. 7 - 10, 1986, NEW YORK, IEEE, US, 7 December 1986 (1986-12-07), pages 184-187, XP002039418 the whole document	1, 12
	----- -/--	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## ° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

19 May 2005

Date of mailing of the international search report

31/05/2005

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

Authorized officer

Neumann, A

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR2005/000318

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 191 557 A (BOSCH GMBH ROBERT) 27 March 2002 (2002-03-27) paragraphs '0008! - '0016!; figures 1-5 -----	1,12
A	WO 03/103029 A (VAN ZEIJL PAULUS THOMAS MARIA ; ERICSSON TELEFON AB L M (SE)) 11 December 2003 (2003-12-11) page 4, lines 20-30; figure 1 -----	
A	US 2003/234423 A1 (BUL IGOR ET AL) 25 December 2003 (2003-12-25) paragraphs '0008! - '0017!; figures 1,2 -----	1-13
A	EP 1 209 738 A (CHARTERED SEMICONDUCTOR MANUFACTURING LTD; CHARTERED SEMICONDUCTOR MAN) 29 May 2002 (2002-05-29) paragraphs '0021! - '0045!; figures 1-10 -----	1-13

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/FR2005/000318

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002068430	A1	06-06-2002	US 6667219 B1 US 6140200 A US 2004198016 A1	23-12-2003 31-10-2000 07-10-2004
US 5666000	A	09-09-1997	US 5508234 A US 5514832 A	16-04-1996 07-05-1996
EP 1191557	A	27-03-2002	US 6448604 B1 EP 1191557 A2 US 2002135047 A1	10-09-2002 27-03-2002 26-09-2002
WO 03103029	A	11-12-2003	WO 03103029 A1 AU 2002314614 A1	11-12-2003 19-12-2003
US 2003234423	A1	25-12-2003	NONE	
EP 1209738	A	29-05-2002	US 6406975 B1 EP 1209738 A2 JP 2002203896 A SG 96243 A1 TW 490796 B	18-06-2002 29-05-2002 19-07-2002 27-11-2003 11-06-2002

# RAPPORT DE RECHERCHE INTERNATIONALE

Dep. No. Internationale No  
PCT/FR2005/000318

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 H01L21/324

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)  
EPO-Internal

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 2002/068430 A1 (ELDRIDGE JEROME MICHAEL) 6 juin 2002 (2002-06-06) alinéas '0001! - '0041!; figures 1-6 -----	1-13
A	US 5 666 000 A (DUSABLON SR MICHAEL STEVEN ET AL) 9 septembre 1997 (1997-09-09) colonne 1, ligne 17 - colonne 6, ligne 12; figures 1-4 -----	1, 13
A	SUGIYAMA S ET AL: "MICRO-DIAPHRAGM PRESSURE SENSOR" INTERNATIONAL ELECTRON DEVICES MEETING. LOS ANGELES, DEC. 7 - 10, 1986, NEW YORK, IEEE, US, 7 décembre 1986 (1986-12-07), pages 184-187, XP002039418 le document en entier ----- -/-	1, 12

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

### ° Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*Z\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 mai 2005

Date d'expédition du présent rapport de recherche internationale

31/05/2005

Norm et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Neumann, A

# RAPPORT DE RECHERCHE INTERNATIONALE

Dem. de Internationale No  
PCT/FR2005/000318

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 1 191 557 A (BOSCH GMBH ROBERT) 27 mars 2002 (2002-03-27) alinéas '0008! - '0016!; figures 1-5 -----	1,12
A	WO 03/103029 A (VAN ZEIJL PAULUS THOMAS MARIA ; ERICSSON TELEFON AB L M (SE)) 11 décembre 2003 (2003-12-11) page 4, ligne 20-30; figure 1 -----	
A	US 2003/234423 A1 (BUL IGOR ET AL) 25 décembre 2003 (2003-12-25) alinéas '0008! - '0017!; figures 1,2 -----	1-13
A	EP 1 209 738 A (CHARTERED SEMICONDUCTOR MANUFACTURING LTD; CHARTERED SEMICONDUCTOR MAN) 29 mai 2002 (2002-05-29) alinéas '0021! - '0045!; figures 1-10 -----	1-13



# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande Internationale No  
PCT/FR2005/000318

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2002068430 A1	06-06-2002	US 6667219 B1 US 6140200 A US 2004198016 A1	23-12-2003 31-10-2000 07-10-2004
US 5666000 A	09-09-1997	US 5508234 A US 5514832 A	16-04-1996 07-05-1996
EP 1191557 A	27-03-2002	US 6448604 B1 EP 1191557 A2 US 2002135047 A1	10-09-2002 27-03-2002 26-09-2002
WO 03103029 A	11-12-2003	WO 03103029 A1 AU 2002314614 A1	11-12-2003 19-12-2003
US 2003234423 A1	25-12-2003	AUCUN	
EP 1209738 A	29-05-2002	US 6406975 B1 EP 1209738 A2 JP 2002203896 A SG 96243 A1 TW 490796 B	18-06-2002 29-05-2002 19-07-2002 27-11-2003 11-06-2002